

# Le sfide di fronte all'industria di celle solari basate su silicio cristallino

Tradotto da Fabrizio Nardo da un articolo di Katherine Derbyshire, contributing editor, Solid State Technology del 23 dicembre 2008

Lo scatto di crescita mostrato dall'industria del solare conduce a nuove sfide. Una volta la materia prima per la produzione di celle FV era rappresentata dagli scarti di silicio provenienti dall'industria dei circuiti integrati, oggi i wafer-base per la produzione di celle solari sono diventati il prodotto di maggior consumo dell'industria di silicio ad alta purezza. Come risultato si è ottenuto un abbassamento progressivo dei costi di produzione delle celle solari. Ciò grazie al miglioramento dei processi di produzione ed alla ideazione di nuovi materiali.

I wafer per la produzione di celle solari sono prodotti a partire da silicio mono o multicristallino. Questi materiali forniscono prodotti a più alta efficienza per la tecnologia solare, secondi soltanto ai substrati su base GaAs e altri tipi di semiconduttori del III-V gruppo. Le celle di silicio monocristallino (c-Si) sono prodotte dal processo di crescita di Czochralski usato anche per la produzione di wafer destinati all'industria dei circuiti integrati. Mentre le celle basate su silicio multicristallino (mc-Si) sono tagliati da lingotti di silicio. Il silicio contribuisce per il 50% al costo totale della produzione di celle solari che a sua volta rappresentano circa il 50% del costo totale dei sistemi FV. Con il boom dell'energia solare si è creata una carenza di offerta di silicio su mercato generando un incremento del costo della materia prima.

Gli alti costi del silicio cristallino hanno creato un'opportunità per celle solari meno costose, basate su silicio amorfo ed altri substrati semiconduttori fotoattivi, tali dispositivi sono denominati *thin film* o *film sottile*. Sebbene meno efficienti delle celle basate su wafer, le celle *thin film* comportano un grosso vantaggio di costi in quanto impiegano una quantità molto minore di materiali semiconduttori. A questo proposito analisti della SolarBuzz riportano che il costo del *thin film* è di 3,02 \$/W<sub>p</sub> contro i 4,24 \$/W<sub>p</sub> del c-Si.

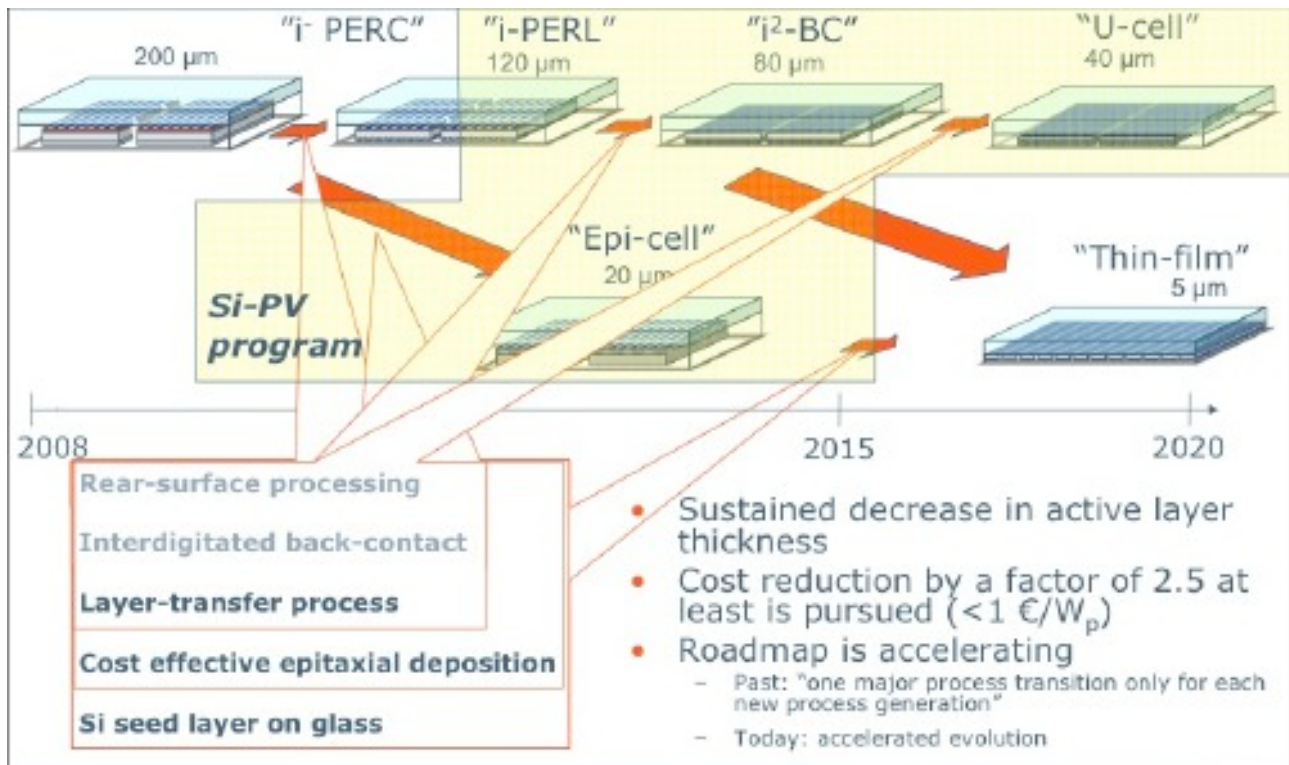
I costruttori di celle basate su wafer hanno risposto con una rapida riduzione degli spessori di silicio. Secondo Jef Poortmans, direttore del dipartimento organico e solare della IMEC<sup>1</sup>, le attuali celle solari c-Si impiegano 8-9 g/W<sub>p</sub> di silicio con uno spessore di circa 200 μm. La scorsa primavera alla IEEE PV Specialist' Conference (PVSC'08), John Wohlgemuth, scienziato della BP solar, ha riportato che la sua compagnia ha qualificato processi che impiegano wafer di 180 μm di spessore e che stanno testando wafer con spessori di 160 μm con collegamenti da 100 μm. La roadmap tecnologica della IMEC, in un recente meeting di ricerca, ha presentato l'uso di wafer da 80 μm per il 2015.

Man mano che lo spessore dei wafer diminuisce, si ha una sensibile riduzione del consumo di silicio, quindi un abbassamento di prezzo di produzione delle celle solare basate su wafer. La riduzione dello spessore di wafer fa incrementare le perdite di kerf. Secondo Eric Sauer, della REC Group, parlando alla PVSC'08, ha affermato che rispetto al 2005 oggi si riescono a ottenere il 50% di wafer in più da un singolo lingotto di silicio. Sebbene le tecniche di trasferimento di strato come quelle impiegate nei wafer *silicon-on-insulator* minimizzano le perdite di *kerf*, esse sono troppo costose per essere impiegate

---

<sup>1</sup> L'IMEC è il più importante centro di ricerca indipendente europeo sulla nano-elettronica e nano-tecnologie. Sita in Belgio e nei Paesi bassi, conta oltre 1.600 addetti.

sulle celle solari. Per esempio il processo della SmartCut della *Soitec*, usa l'impiantazione ionica per isolare lo strato che deve essere trasferito dal resto del wafer, creando l'eventuale spazio tra piani degli strati. Il processo di separazione *stress-induced* della IMEC, invece deposita uno strato di metallo sul wafer di partenza. L'espansione termica differenziale tra il silicio e il metallo tira letteralmente uno strato libero, ha affermato Poortmans.



roadmap della IMEC per la tecnologia c-Si PV. (Fonte: IMEC)

Sebbene l'espansione termica differenziale può essere utile, come in questa tecnica, essa può anche comportare dei problemi per le celle solari. I contatti metallici, in particolare i film utilizzati nei retrocontatti possono piegare i wafer sottili, rendendo loro più difficili da manipolare e rendendoli più suscettibili alla frattura. Wohlgemuth ha notato che diversi fornitori hanno introdotto un substrato di alluminio. La manipolazione dei wafer dovrà essere completamente automatizzata man mano che gli spessori scenderanno sotto i 160 µm; spessori inferiori ai 100 µm richiederanno dei *carrier* in plastica o in vetro, durante i vari stadi di processamento.

L'industria del FV sta aumentando il livello di automazione in genere per tagliare i costi di produzione, in particolare nella fase di assemblaggio. Tuttavia l'automazione di per sé non elimina necessariamente il livello di rotture delle celle. Il Settore industriale del FV non ha ancora delle specifiche o degli standard di *testing* per wafer sottili. E' per questo motivo che l'IMEC sta dedicando molta attenzione, spiega Poortmans, ai sistemi in grado di rilevare le microfratture che sebbene non comportino dei danni elettrici immediati possono comportare fratture nelle successive operazioni.

Nonostante la riduzione degli spessori dei wafer non richiede il ripensamento dei processi produttivi tipici dell'industria dei circuiti integrati, le celle solari sottili dovranno comunque affrontare nove sfide. Una delle più importanti di queste è la necessità di introdurre un riflettore sul retro della cella in modo da incrementare l'efficienza fotovoltaica aumentando

la quantità di radiazione catturata<sup>2</sup>. Tra l'altro ogni ulteriore strato sul wafer contribuirà ad aumentare lo stress superficiale sul wafer stesso, cosicché il thermal budget e il rischio di rottura dovranno essere valutati attentamente. D'altra parte, la progettazione dei retro contatti ha dei benefici dall'assottigliarsi dello spessore dei wafer, in quanto si riducono le perdite resistive fra la superficie frontale, dove i portatori di carica elettrica sono generati e i contatti stessi.

Infine, Poortmans ha affermato, che la IMEC spera di raggiungere un economico processo di deposizione epitassiale su vetro in modo da combinare i vantaggi economici del thin film con il silicio di alta qualità, portando così i costi sotto 1 €/W<sub>p</sub>.

---

<sup>2</sup> vedi l'articolo apparso di recente su Solid State Technology al link: ["Improved efficiency boosts PV panel prospects."](#) October 2008